

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

14.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年   1 月 1 9 日  
Date of Application:

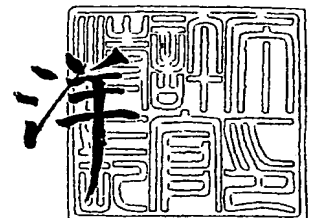
出 願 番 号            特 願 2 0 0 4 - 0 1 0 7 1 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 4 - 0 1 0 7 1 5 ]

出      願      人            松 下 電 器 産 業 株 式 有 限 公 司  
Applicant(s):

2 0 0 5 年   2 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 2925040124  
【提出日】 平成16年 1月19日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/14  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 森 三佳  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100077931  
    【弁理士】  
    【氏名又は名称】 前田 弘  
【選任した代理人】  
    【識別番号】 100094134  
    【弁理士】  
    【氏名又は名称】 小山 廣毅  
【選任した代理人】  
    【識別番号】 100110939  
    【弁理士】  
    【氏名又は名称】 竹内 宏  
【選任した代理人】  
    【識別番号】 100113262  
    【弁理士】  
    【氏名又は名称】 竹内 祐二  
【選任した代理人】  
    【識別番号】 100115059  
    【弁理士】  
    【氏名又は名称】 今江 克実  
【選任した代理人】  
    【識別番号】 100117710  
    【弁理士】  
    【氏名又は名称】 原田 智雄  
【手数料の表示】  
    【予納台帳番号】 014409  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0217869

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、

上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域と上記素子分離用領域の側方に位置する領域とを露出する開口を有する保護膜を形成する工程 (a) と、

上記保護膜における上記開口の側面上に、サイドウォールを形成する工程 (b) と、

上記保護膜および上記サイドウォールをマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域にトレンチを形成する工程 (c) と、

上記トレンチを埋め込み用膜で埋めることにより、素子分離を形成する工程 (d) とを備える、固体撮像装置の製造方法。

**【請求項 2】**

請求項 1 に記載の固体撮像装置の製造方法であって、

上記半導体基板のうち上記素子形成用領域には、n 型不純物が含まれており、

上記工程 (c) の後で上記工程 (d) の前に、上記半導体基板のうち上記トレンチの表面部に位置する部分に p 型のイオンを注入する工程をさらに備える、固体撮像装置の製造方法。

**【請求項 3】**

請求項 1 または 2 に記載の固体撮像装置の製造方法であって、

上記工程 (c) の後で上記工程 (d) の前に、上記半導体基板のうち上記トレンチの表面部に位置する領域を酸化する工程をさらに備える、固体撮像装置の製造方法。

**【請求項 4】**

請求項 1 ～ 3 のうちのいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記工程 (a) では、上記保護膜として、第 1 の絶縁膜と、上記第 1 の絶縁膜の上に設けられ、耐酸化性の性質を有する第 2 の絶縁膜とを形成する、固体撮像装置の製造方法。

**【請求項 5】**

請求項 1 ～ 4 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記工程 (d) では、上記埋め込み用膜を、CVD 法により堆積する、固体撮像装置の製造方法。

**【請求項 6】**

請求項 1 ～ 5 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記工程 (d) では、上記埋め込み用膜を、上記保護膜の上記開口を埋めるように形成した後に、上記保護膜を上記埋め込み用膜よりも深く除去することにより、上記素子分離を、上記半導体基板の上面よりも高く形成する、固体撮像装置の製造方法。

**【請求項 7】**

請求項 1 ～ 6 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、

上記周辺回路領域における素子分離は、上記撮像領域における上記素子分離と同じ工程で形成される、固体撮像領域の製造方法。

**【請求項 8】**

請求項 7 に記載の固体撮像装置の製造方法であって、

上記周辺回路には、N 型 MOS トランジスタのみを形成するか、P 型 MOS トランジスタのみを形成するか、または CMOS トランジスタを形成する、固体撮像装置の製造方法。

**【請求項 9】**

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置であって、

上記素子分離用領域には、上記半導体基板の一部に設けられたトレンチと、上記トレンチを埋める埋め込み用膜とが設けられ、

上記トレンチは、上記半導体基板のうち上記素子形成用領域の上を覆い上記半導体基板のうち上記素子分離用領域の上を露出する開口を有する保護膜と、上記保護膜における上記開口の側面上に設けられたサイドウォールとをマスクとして、上記半導体基板の一部を除去することにより形成された、固体撮像装置。

【請求項 10】

請求項 9 に記載の固体撮像装置であって、

上記半導体基板における上記素子形成用領域には、n 型の不純物が含まれており、

上記半導体基板の上記素子分離用領域において、上記トレンチの表面部に位置する部分には、p 型の不純物が含まれている、固体撮像装置。

【請求項 11】

請求項 9 または 10 に記載の固体撮像装置であって、

上記トレンチの表面上にはシリコン酸化膜が設けられている、固体撮像装置。

【請求項 12】

請求項 9 ～ 11 のうちいずれか 1 項に記載の固体撮像装置であって、

上記埋め込み用膜の高さは、上記半導体基板の上面の高さよりも高い、固体撮像装置。

【書類名】明細書

【発明の名称】固体撮像装置およびその製造方法

【技術分野】

【0001】

本発明は、固体撮像装置とその製造方法に関し、特に、半導体基板上に複数の画素を有する撮像領域が設けられた固体撮像装置とその製造方法に関する。

【背景技術】

【0002】

MOS型の固体撮像装置は、各画素に供給される信号を、MOSトランジスタを含む増幅回路によって増幅して読み出すイメージセンサである。固体撮像装置のうちCMOSプロセスで製造されるいわゆるCMOSイメージセンサは、低電圧、低消費電力であり、周辺回路とワン・チップ化ができるという長所を有している。そのため、近年では、CMOSイメージセンサがPC用小型カメラなどの携帯機器の画像入力素子として注目されている。

【0003】

図3は、固体撮像装置の構成の一例を示す回路図である。この固体撮像装置は、複数の画素26がマトリックス状に配列された撮像領域27と、画素を選択するための垂直シフトレジスタ28および水平シフトレジスタ29と、垂直シフトレジスタ28および水平シフトレジスタ29に必要なパルスを供給するタイミング発生回路30とを同一の基板上に備えている。

【0004】

撮像領域27内に配置する各画素26では、フォトダイオードからなる光電変換部21と、ソースが光電変換部21に接続され、ドレインが増幅用トランジスタ24のゲートに接続され、ゲートが垂直シフトレジスタ28からの出力パルス線41に接続された転送用トランジスタ22と、ソースが転送用トランジスタ22のドレインに接続され、ゲートが垂直シフトレジスタ28からの出力パルス線42に接続され、ドレインが電源43に接続されるリセット用トランジスタ23と、ドレインが電源43に接続され、ゲートが転送用トランジスタ22のドレインおよびリセット用トランジスタ23のソースに接続される増幅用トランジスタ24と、ドレインが増幅用トランジスタ24のソースに接続され、ゲートが垂直シフトレジスタ28からの出力パルス線44に接続され、ソースが信号線45に接続される選択用トランジスタ25とが設けられている。

【0005】

撮像領域27において、素子分離用領域にLOCOSやSTI (Shallow Trench Isolation) を形成した場合には、窒化膜等の膜ストレスや長時間にわたる高温の熱処理工程によって欠陥が発生しやすい。この欠陥は暗電流や白キズの発生原因となる。さらに、LOCOSを形成した場合には、バースピーク幅が長くなるため撮像領域27の微細化が困難となる。また、STIを形成した場合には、埋め込み酸化膜による応力が発生してしまう。

【0006】

このような問題を解決する方法として、特許文献1に記載された従来技術がある。この従来技術について、図4(a)～(f)を参照しながら説明する。図4(a)～(f)は、従来の撮像素子において、素子分離用領域の製造工程を示す断面図である。

【0007】

まず、図4(a)に示す工程で、半導体基板51の上部を熱酸化することにより、厚さ0.1 $\mu$ mのゲート絶縁膜52を形成する。次に、ゲート絶縁膜52の上からイオン注入を行うことにより、半導体基板51の上部に、素子分離領域53、光電変換部54およびドレイン領域55を形成する。ここで、光電変換部54およびドレイン領域55としてn型の不純物をイオン注入する場合には、素子分離領域53としてp型の不純物をイオン注入する。

【0008】

次に、図4(b)に示す工程で、ゲート絶縁膜52の上に厚さ約 $0.3\mu\text{m}$ のCVD酸化膜56を堆積する。

【0009】

次に、図4(c)に示す工程で、CVD酸化膜56の上に、ゲート電極を形成する領域に開口を有するレジスト(図示せず)を形成する。そのレジストをマスクとしてRIE(Reactive Ion Etching)法によりエッチングを行うことにより、CVD酸化膜56を貫通する溝57を形成する。

【0010】

次に、図4(d)に示す工程で、溝57(図4(c)に示す)を埋めるポリシリコン膜58を形成する。

【0011】

次に、図4(e)に示す工程で、ポリシリコン膜58の上に、溝57よりも大きな内径を有する溝を有するレジスト(図示せず)を形成する。そして、そのレジストをマスクとしてポリシリコン膜58(図4(d)に示す)に対してRIEを行うことにより、ゲート電極を含む配線パターン58aを形成する。

【0012】

次に、図4(f)に示す工程で、ゲート絶縁膜52および配線パターン58aの上に $\text{SiO}_2$ 等の層間絶縁膜59を堆積する。そして、RIE法により層間絶縁膜59を貫通してドレイン領域55に到達する溝を形成し、溝を導体で埋めることにより、信号線60を形成する。

【特許文献1】特開10-373818号公報

【特許文献2】特開2000-196057号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、上述した従来の固体撮像装置の製造方法では、以下のような不具合が生じていた。

【0014】

上述したようにイオン注入により素子分離領域53の注入層を形成した場合には、素子分離用領域としての分離能力を十分に確保するためにチャンネルストップ注入層の幅を広くする必要がある。しかしながら、素子分離領域53の幅を広くするのは、固体撮像装置の微細化の要請に反する。

【0015】

一方、チャンネルストップ注入層の幅を狭くして不純物の注入量を多くすることにより分離能力を確保すると、光電変換部54と素子分離領域53とのPN接合のリークが増加してしまう。これは、暗電流及び白キズの増加につながってしまう。

【0016】

本発明の目的は、素子分離用領域の分離能力を確保しつつ微細化が可能であり、低暗電流および白キズ数の低減を実現できる固体撮像装置とその製造方法を提供することにある。

【課題を解決するための手段】

【0017】

本発明の固体撮像装置の製造方法は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、半導体基板の上に、上記半導体基板のうち上記素子分離用領域と上記素子形成用領域の側方に位置する領域とを露出する開口を有する保護膜を形成する工程(a)と、上記保護膜における上記開口の側面上に、サイドウォールを形成する工程(b)と、上記保護膜および上記サイドウォールをマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域にトレンチを形成する工程(c)と、上記トレンチを埋め込み用膜で埋め

ることにより、素子分離を形成する工程 (d) とを備える。

【0018】

これにより、工程 (c) において、トレンチを、サイドウォールをマスクとしたエッチングによって形成しているため、保護膜における開口の幅よりも、サイドウォールの厚さの分だけ、トレンチの幅を狭くすることができる。したがって、保護膜の開口を、現時点でパターンニングにより形成できる最小の開口幅で形成した場合でも、それよりも狭いトレンチを形成することができる。

【0019】

トレンチの幅を狭くしても、トレンチ内を埋める埋め込み用膜の素子分離能力は高いので、素子分離能力を確保することはできる。そして、トレンチの幅を狭くすることにより、その分だけ素子形成用領域と素子分離との間の距離を長くすることができる。したがって、トレンチを埋め込み用膜で埋めた後にトレンチ付近で熱応力が発生しても、素子形成用領域の方に流れるリーク電流を低減することができる。これにより、暗電流や白キズの発生を回避することができる。

【0020】

上記半導体基板のうち上記素子形成用領域には、n型不純物が含まれており、上記工程 (c) の後で上記工程 (d) の前に、上記半導体基板のうち上記トレンチの表面部に位置する部分にp型のイオンを注入する工程をさらに備えていてもよい。この場合には、暗電流が、トレンチの形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板のうちトレンチの表面付近に位置する領域にp型の不純物をドーピングすることにより、トレンチの表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。

【0021】

上記工程 (c) の後で上記工程 (d) の前に、上記半導体基板のうち上記トレンチの表面部に位置する領域を酸化する工程をさらに備えていてもよい。

【0022】

上記工程 (a) では、上記保護膜として、第1の絶縁膜と、上記第1の絶縁膜の上に設けられ、耐酸化性の性質を有する第2の絶縁膜とを形成することができる。

【0023】

上記工程 (d) では、上記埋め込み用膜を、CVD法により堆積することができる。

【0024】

上記工程 (d) では、上記埋め込み用膜を、上記保護膜の上記開口を埋めるように形成した後に、上記保護膜を上記埋め込み用膜よりも深く除去することにより、上記素子分離を、上記半導体基板の上面よりも高く形成してもよい。この場合には、埋め込み用膜の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。以下にその理由について説明する。配線は、半導体基板および埋め込み用膜の上を導体膜で覆った後に、この導体膜をパターンニングすることにより形成する。もし埋め込み用膜が半導体基板の上面よりも低く形成されていれば、導体膜のうち埋め込み用膜の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じるが、埋め込み用膜を高く形成すると、このおそれを回避することができる。

【0025】

上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、上記周辺回路領域における素子分離は、上記撮像領域における上記素子分離と同じ工程で形成されてもよい。この場合には、工程を簡略化することができる。

【0026】

上記周辺回路には、N型MOSトランジスタのみを形成するか、P型MOSトランジスタのみを形成するか、またはCMOSトランジスタを形成することができる。

【0027】

本発明の固体撮像装置は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置であって、上記素子分離用領域には、上記半導体基板の一部に設けられたトレンチと、上記トレンチを埋める埋め込み用膜とが設けられ、上記トレンチは、上記半導体基板のうち上記素子形成用領域の上を覆い上記半導体基板のうち上記素子分離用領域の上を露出する開口を有する保護膜と、上記保護膜における上記開口の側面上に設けられたサイドウォールとをマスクとして、上記半導体基板の一部を除去することにより形成されたものである。

#### 【0028】

この固体撮像装置においては、サイドウォールをマスクとして半導体基板の一部を除去することによりトレンチが形成されているため、保護膜における開口の幅よりも、サイドウォールの厚さの分だけ、トレンチの幅が狭くなっている。したがって、保護膜の開口が、現時点でパターンニングにより形成できる最小の開口幅で形成した場合でも、トレンチの幅はそれより狭くなる。

#### 【0029】

トレンチの幅が狭くても、トレンチ内を埋める埋め込み用膜の素子分離能力は高いので、素子分離能力を確保することはできる。そして、トレンチの幅が狭くなっていることにより、その分だけ素子形成用領域と素子分離との間の距離を長くなっている。したがって、トレンチ付近で熱応力が発生しても、素子形成用領域の方に流れるリーク電流を低減することができる。これにより、暗電流や白キズの発生を回避することができる。

#### 【0030】

上記半導体基板における上記素子形成用領域には、n型の不純物が含まれており、上記半導体基板の上記素子分離用領域において、上記トレンチの表面部に位置する部分には、p型の不純物が含まれていてもよい。この場合には、暗電流が、トレンチの形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板のうちトレンチの表面付近に位置する領域にp型の不純物が含まれることにより、トレンチの表面付近と素子の活性領域との間にエネルギー的な障壁が形成され、キャリアの移動が抑制される。

#### 【0031】

上記トレンチの表面上にはシリコン酸化膜が設けられていてもよい。

#### 【0032】

上記埋め込み用膜の高さは、上記半導体基板の上面の高さよりも高くてもよい。この場合には、埋め込み用膜の上にゲート配線等の配線が設けられている場合であっても、互いに絶縁すべき配線同士が短絡しにくい。以下にその理由について説明する。配線は、半導体基板および埋め込み用膜の上を導体膜で覆った後に、この導体膜をパターンニングすることにより形成する。もし埋め込み用膜が半導体基板の上面よりも低く形成されていれば、導体膜のうち埋め込み用膜の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じるが、埋め込み用膜を高く形成すると、このおそれを回避することができる。

#### 【発明の効果】

#### 【0033】

本発明に係わる固体撮像装置および製造方法は、フォトダイオード同士を分離するための素子分離形成領域や、フォトダイオードと活性領域とを分離するための素子分離用領域に適用することができ、低応力で十分な素子分離能力を有し、ハンプ特性に優れている。したがって、低暗電流の抑制と白キズ数の削減が可能である。

#### 【発明を実施するための最良の形態】

#### 【0034】

以下に、本発明の実施の形態に係る固体撮像装置について、図面を参照しながら説明する。なお、以下の実施形態では、本発明を、フォトダイオード同士の間の素子分離用領域や、フォトダイオードと活性領域との間の素子分離用領域に適用する場合について説明す

る。

#### 【0035】

(第1の実施形態)

図1(a)～(f)は、本発明の固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

#### 【0036】

本実施形態の固体撮像素子の製造工程では、まず、図1(a)に示す工程で、シリコン基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

#### 【0037】

その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通してシリコン基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、0.20μm程度に設定する。

#### 【0038】

次に、図1(b)に示す工程で、厚さ10～200nm程度のシリコン窒化膜等からなる耐酸化性膜(図示せず)を、開口4の表面を埋めるように堆積する。その後、耐酸化性膜に対して異方性ドライエッチングを行うことにより、開口4の側面上に耐酸化性のサイドウォール31を形成する。このとき、耐酸化性膜3の厚みとサイドウォール用の耐酸化性膜の厚みとを変化させることにより、サイドウォール31の厚みを調節することができる。なお、本実施形態では、耐酸化性膜3およびサイドウォール31としてシリコン窒化膜を用いて説明したが、その代わりとして、酸化膜、シリコン膜、酸窒化膜を用いてもよい。

#### 【0039】

次に、図1(c)に示す工程で、耐酸化性膜3およびサイドウォール31をマスクにして選択的なエッチングを行うことにより、シリコン基板1の上部を除去して深さ50～500nm程度のトレンチ32を形成する。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー5KeV～50KeV、ドーズ量 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ の条件で注入する。

#### 【0040】

次に、図1(d)に示す工程で、シリコン基板1のうちトレンチ32の側面に露出する部分を熱酸化することにより、厚さ40nm程度の内壁熱酸化膜33を形成する。内壁熱酸化膜33を形成することにより、シリコン基板1のうちトレンチ32の上縁部に露出するエッジ部を丸めることができる。その後、基板上に、トレンチ32および開口4を埋め、耐酸化性膜3の上を覆う、厚さ600nm程度の酸化膜からなる埋め込み用絶縁膜34を堆積する。なお、本実施形態では、埋め込み用絶縁膜34として酸化膜を用いて説明したが、その代わりとして酸窒化膜を用いてもよい。

#### 【0041】

次に、図1(e)に示す工程で、耐酸化性膜3を研磨ストッパ層としてCMP法を行うことにより、埋め込み用絶縁膜34の上部を研磨して除去する。

#### 【0042】

次に、図1(f)に示す工程で、耐酸化性膜3とパッド絶縁膜2の上部とをウェットエッチングで除去する。このウェットエッチングは、シリコン酸化膜に対してシリコン窒化膜のエッチングレートが高くなる条件で行う。これにより、シリコン酸化膜からなる埋め込み用絶縁膜34よりも、シリコン窒化膜からなる耐酸化性膜3およびサイドウォール31の方が深く除去される。そして、パッド絶縁膜2を薄く残した状態でウェットエッチングを止めると、パッド絶縁膜2やサイドウォール31の高さよりも埋め込み用絶縁膜34の方が高く形成される。

## 【0043】

その後、シリコン基板1のうち所望の領域にイオン注入を行うことにより、光電変換領域6および活性領域7を形成する。その後、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。

## 【0044】

以下に、本実施形態で得られる効果について説明する。

## 【0045】

本実施形態では、トレンチ32を、サイドウォール31をマスクとしたエッチングによって形成している。そのため、開口4（図1（a）等）に示す）の開口幅よりも、サイドウォール31の厚さの分だけ、トレンチ32の幅を狭くすることができる。したがって、開口4を、現時点でパターンニングにより形成できる最小の開口幅で形成した場合でも、それよりも狭いトレンチ32を形成することができる。

## 【0046】

トレンチ32の幅を狭くしても、トレンチ32内を埋める埋め込み用絶縁膜34の素子分離能力は高いので、素子分離能力を確保することはできる。そして、トレンチ32の幅を狭くすることにより、その分だけ光電変換領域6および活性領域7とトレンチ32の表面との間の距離を長くすることができる。したがって、トレンチ32を埋め込み用絶縁膜34で埋めた後にトレンチ32付近で熱応力が発生しても、光電変換領域6および活性領域7の方に流れるリーク電流を低減することができる。これにより、暗電流や白キズの発生を回避することができる。具体的には、従来のSTIを有する撮像素子では白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。

## 【0047】

また、本実施形態では、トレンチ32を形成した後に、p型の不純物を注入している。これにより、暗電流が、トレンチ32の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、シリコン基板1のうちトレンチ32の表面付近に位置する領域にp型の不純物をドーピングすることにより、トレンチ32の表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。

## 【0048】

さらに、本実施形態では、内壁熱酸化膜33を形成することにより、シリコン基板1のうちトレンチの上縁部に露出するエッジ部を丸めている。これにより、素子の動作時に、シリコン基板1のエッジ部に電界集中が起こるのを防止することができる。

## 【0049】

さらに、本実施形態では、埋め込み用絶縁膜34をシリコン基板1の上面よりも高く形成している。これにより、埋め込み用絶縁膜34の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。以下にその理由について説明する。配線は、シリコン基板1および埋め込み用絶縁膜34の上を導体膜で覆った後に、この導体膜をパターンニングすることにより形成する。もし埋め込み用絶縁膜34がシリコン基板1の上面よりも低く形成されていれば、導体膜のうち埋め込み用絶縁膜34の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じる。本実施形態では、埋め込み用絶縁膜34を高く形成しているため、このおそれを回避することができる。

## 【0050】

（第2の実施形態）

図2（a）～（f）は、本発明の固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

## 【0051】

本実施形態の固体撮像装置の製造工程では、まず、図2(a)に示す工程で、シリコン基板1の上に、厚さ1~50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50~400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

## 【0052】

その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通してシリコン基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、0.2μm程度に設定する。

## 【0053】

次に、図2(b)に示す工程で、厚さ10~200nm程度のシリコン窒化膜等からなる耐酸化性膜(図示せず)を、開口4の表面を埋めるように堆積する。その後、耐酸化性膜に対して異方性ドライエッチングを行うことにより、開口4の側面上に耐酸化性のサイドウォール31を形成する。このとき、耐酸化性膜3の厚みとサイドウォール用の耐酸化性膜の厚みとを変化させることにより、サイドウォール31の厚みを調節することができる。なお、本実施形態では、耐酸化性膜3およびサイドウォール31としてシリコン窒化膜を用いて説明したが、その代わりとして、酸化膜、シリコン膜、酸窒化膜を用いてもよい。

## 【0054】

次に、図2(c)に示す工程で、耐酸化性膜3およびサイドウォール31をマスクにして選択的なエッチングを行うことにより、シリコン基板1の上部を除去して深さ50~500nm程度のトレンチ32を形成する。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー5KeV~50KeV、ドーズ量 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ の条件で注入する。

## 【0055】

次に、図2(d)に示す工程で、シリコン基板1のうちトレンチ32の側面に露出する部分を熱酸化することにより、厚さ40nm程度の内壁熱酸化膜33を形成する。内壁熱酸化膜33を形成することにより、シリコン基板1のうちトレンチ32の上縁部に露出するエッジ部を丸めることができる。その後、基板上に、トレンチ32および開口4を埋め、耐酸化性膜3の上を覆う、厚さ600nm程度のシリコン膜からなる埋め込み用膜37を形成する。ここで、埋め込み用膜37として、ポリシリコンやアモルファスシリコンを用いる。

## 【0056】

次に、図2(e)に示す工程で、耐酸化性膜3を研磨ストッパ層としてCMP法を行うことにより、埋め込み用膜37の上部を研磨して除去する。

## 【0057】

次に、図2(f)に示す工程で、耐酸化性膜3とパッド絶縁膜2の上部とをウェットエッチングで除去する。このウェットエッチングは、シリコンに対してシリコン窒化膜のエッチングレートが高くなる条件で行う。これにより、シリコンからなる埋め込み用膜37よりも、シリコン窒化膜からなる耐酸化性膜3およびサイドウォール31の方が深く除去される。そして、パッド絶縁膜2を薄く残した状態でウェットエッチングを止めると、パッド絶縁膜2やサイドウォール31の高さよりも埋め込み用絶縁膜37の方が高く形成される。

## 【0058】

その後、シリコン基板1のうち所望の領域にイオン注入を行うことにより、光電変換領域6および活性領域7を形成する。その後、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上により、本実施形態の工程が終了する。

## 【0059】

以下に、本実施形態で得られる効果について説明する。

## 【0060】

本実施形態では、トレンチ32を、サイドウォール31をマスクとしたエッチングによって形成している。そのため、開口4（図2（a）等）に示す）の開口幅よりも、サイドウォール31の厚さの分だけ、トレンチ32の幅を狭くすることができる。したがって、開口4を、現時点でパターンニングにより形成できる最小の開口幅で形成した場合にも、それよりも狭いトレンチ32を形成することができる。

## 【0061】

トレンチ32の幅を狭くしても、トレンチ32の表面部には内壁熱酸化膜33が設けられているので、素子分離能力を確保することはできる。そして、トレンチ32の幅を狭くすることにより、その分だけ光電変換領域6および活性領域7とトレンチ32の表面との間の距離を長くすることができる。したがって、トレンチ32を埋め込み用膜37で埋めた後にトレンチ32付近で熱応力が発生しても、光電変換領域6および活性領域7の方に流れるリーク電流を低減することができる。これにより、暗電流や白キズの発生を回避することができる。具体的には、従来のSTIを有する撮像素子では、白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では、白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。

## 【0062】

さらに、本実施形態では、埋め込み用膜37の材料としてポリシリコンやアモルファスシリコンを用いる。ポリシリコンやアモルファスシリコンの熱膨張率はシリコン基板1と同程度であるので、埋め込み用膜37からシリコン基板1の方にかかる応力をさらに低減することができる。

## 【0063】

また、本実施形態では、トレンチ32を形成した後に、p型の不純物を注入している。これにより、暗電流が、トレンチ32の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、シリコン基板1のうちトレンチ32の表面付近に位置する領域にp型の不純物をドーピングすることにより、トレンチ32の表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。

## 【0064】

さらに、本実施形態では、内壁熱酸化膜33を形成することにより、シリコン基板1のうちトレンチの上縁部に露出するエッジ部を丸めている。これにより、素子の動作時に、シリコン基板1のエッジ部に電界集中が起こるのを防止することができる。

## 【0065】

さらに、本実施形態では、埋め込み用膜37をシリコン基板1の上面よりも高く形成している。これにより、埋め込み用膜37の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。以下にその理由について説明する。配線は、シリコン基板1および埋め込み用膜37の上を導体膜で覆った後に、この導体膜をパターンニングすることにより形成する。もし埋め込み用膜37がシリコン基板1の上面よりも低く形成されていれば、導体膜のうち埋め込み用膜37の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じる。本実施形態では、埋め込み用膜37を高く形成しているので、このおそれを回避することができる。

## 【0066】

（その他の実施形態）

なお、上述の実施形態では、本発明の素子分離を、図3に示す各画素26中の素子分離に適用した。しかしながら、本発明の素子分離を、垂直シフトレジスタ28、水平シフトレジスタ29およびタイミング発生回路30等の周辺回路における素子分離にも適用する

ことができる。その場合には、素子分離を形成する工程の短縮が可能となる。

【0067】

また、図3に示す撮像領域27におけるMOSFETは全てn型である。そのため、周辺回路をN型MOSFETのみで設計すると、注入工程を削減することができ工程の短縮化が可能である。

【0068】

また、周辺回路にCMOSトランジスタを用いた場合には、電荷読み出しをさらに高速化することができる。

【0069】

また、本発明における固体撮像装置をカメラに組み込むことにより、高解像度の撮像が可能となる。

【0070】

なお、上述の実施形態では、シリコン基板に撮像素子を形成する場合について説明したが、本発明では、GaAs等からなる半導体基板に撮像素子を形成する場合にも適用することができる。

【産業上の利用可能性】

【0071】

以上説明したように、本発明の固体撮像装置およびその製造方法では、低応力で十分な素子分離能力を有し、ハンプ特性に優れている素子分離を設けることができ、低暗電流の抑制と白キズ数の削減が可能である点で、産業上の利用可能性は高い。

【図面の簡単な説明】

【0072】

【図1】(a)～(f)は、本発明の固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

【図2】(a)～(f)は、本発明の固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

【図3】固体撮像装置の構成の一例を示す回路図である。

【図4】(a)～(f)は、従来の撮像素子において、素子分離用領域の製造工程を示す断面図である。

【符号の説明】

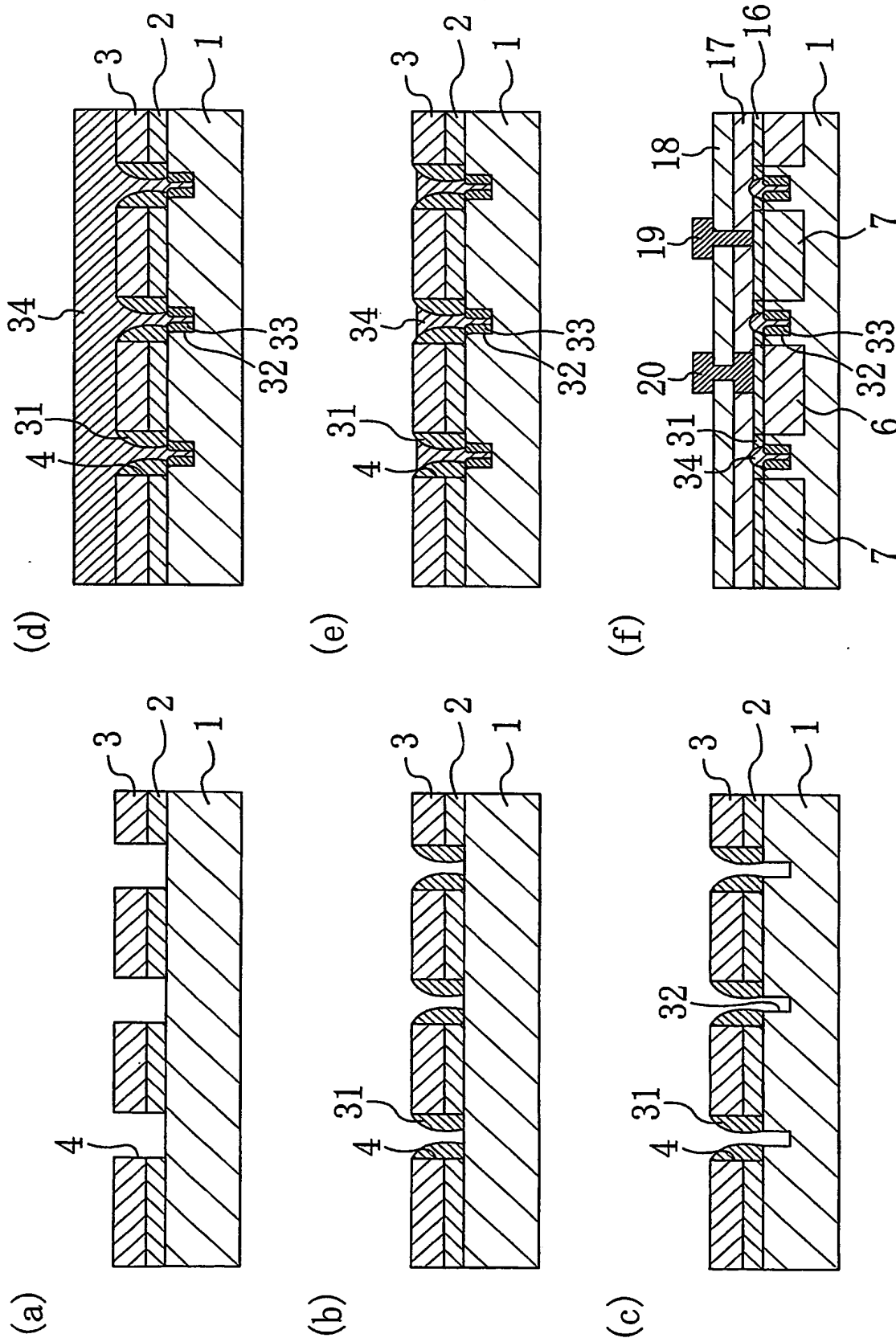
【0073】

1	シリコン基板
2	パッド絶縁膜
3	耐酸化性膜
4	開口
6	光電変換領域
7	活性領域
16	ゲート絶縁膜
17	CVD酸化膜
18	層間絶縁膜
19	信号線
20	配線パターン
21	光電変換部
22	転送用トランジスタ
23	リセット用トランジスタ
24	増幅用トランジスタ
25	選択用トランジスタ
26	画素
27	撮像領域

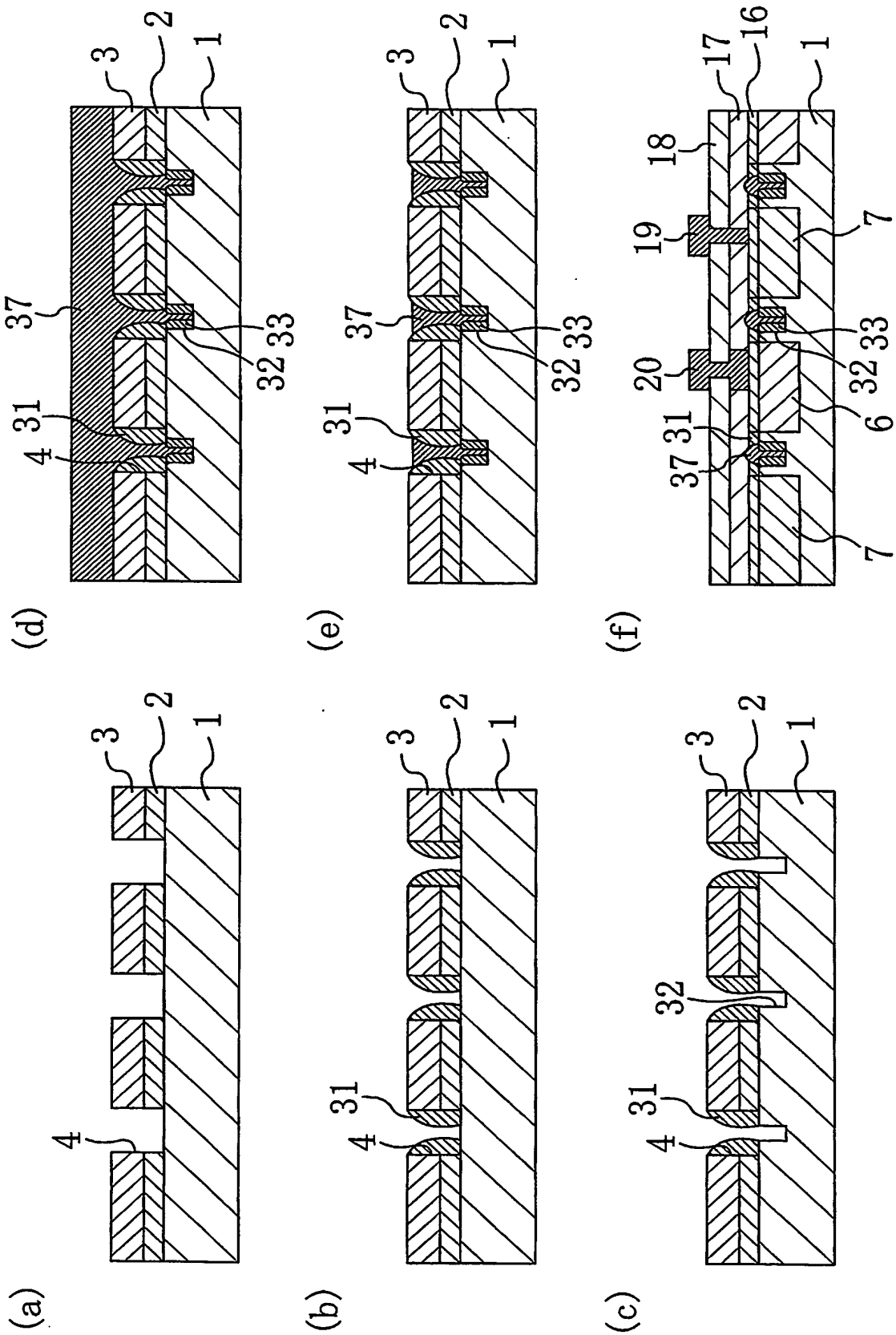
2 8	垂直シフトレジスタ
2 9	水平シフトレジスタ
3 0	タイミング発生回路
3 1	サイドウォール
3 2	トレンチ
3 3	内壁熱酸化膜
3 4	埋め込み用絶縁膜
3 7	埋め込み用膜
4 1	出力パルス線
4 2	出力パルス線
4 3	電源
4 4	出力パルス線
4 5	信号線

【書類名】 図面

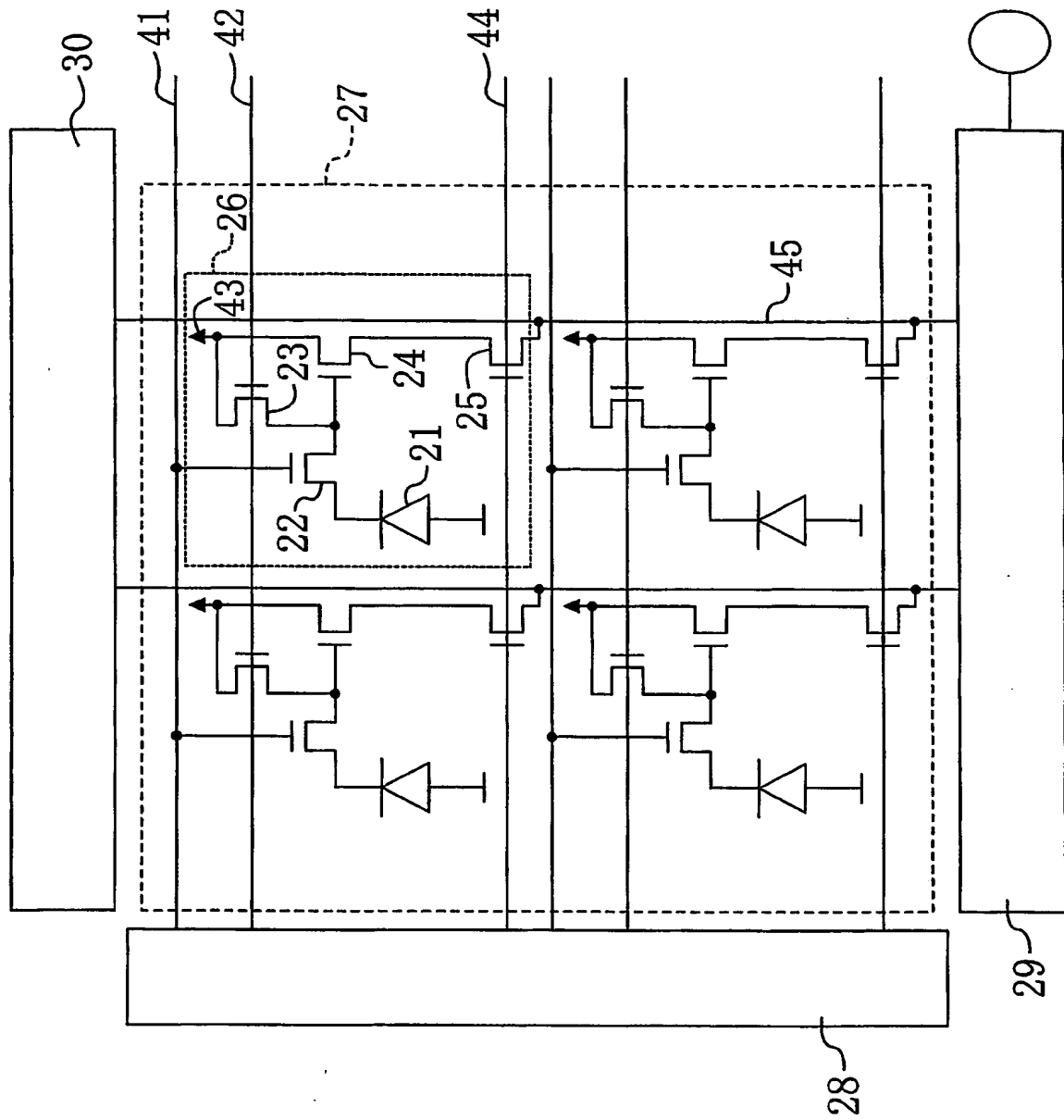
【図 1】



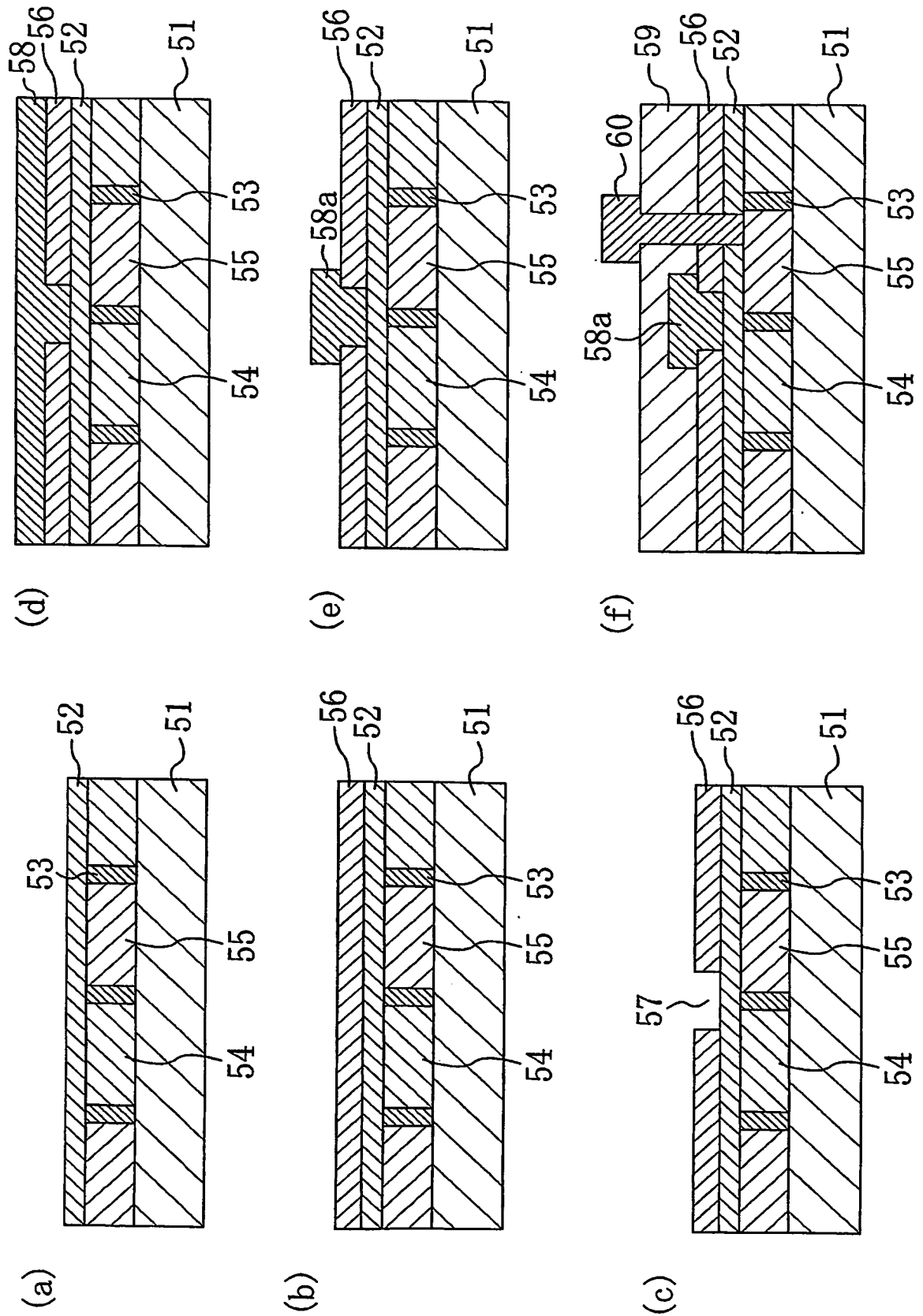
【図 2】



【図3】



【図 4】



## 【書類名】 要約書

## 【要約】

【課題】 素子分離用領域の分離能力を確保しつつ微細化が可能であり、低暗電流および白キズ数の低減を実現できる固体撮像装置とその製造方法を提供する。

【解決手段】 本発明の固体撮像装置の製造方法では、 $n$ 型のシリコン基板 1 の上に、酸化膜からなるパッド絶縁膜 2 と、窒化膜からなる耐酸化性膜 3 とを堆積する。そして、開口 4 を形成することにより、シリコン基板 1 の素子分離用領域を露出させる。次に、基板上に開口 4 を埋める耐酸化性膜（図示せず）を形成し、異方性ドライエッチングを行うことによりサイドウォール 31 を形成する。次に、耐酸化性膜 3 およびサイドウォール 31 をマスクとしてトレンチ 32 を形成する。次に、シリコン基板 1 のうちトレンチ 32 の側面に露出する部分に  $p$  型の不純物を注入し、シリコン基板 1 のうちトレンチ 32 の表面部に熱酸化膜を形成する。その後、トレンチ 32 を埋め込み用絶縁膜 34 で埋める。

【選択図】 図 1

特願 2 0 0 4 - 0 1 0 7 1 5

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更新月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000129

International filing date: 07 January 2005 (07.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-010715  
Filing date: 19 January 2004 (19.01.2004)

Date of receipt at the International Bureau: 10 March 2005 (10.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse